

Od RTL k bitstreamu: jak zvládnout úzké místo FPGA verifikace

Moderní výzvy a kompletní verifikační workflow na reprezentativní případové studii

DATUM

**1. 10. 2026 |
13:00**

FORMÁT

**Online
webinář, CZ /
EN**

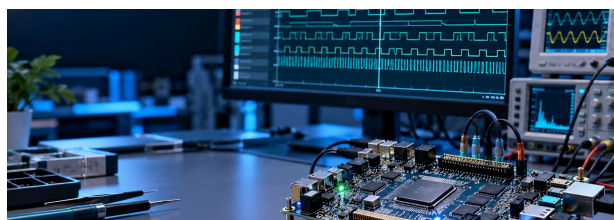
ÚČAST

Po registraci

S rostoucí složitostí FPGA návrhů, více hodinovými doménami a pokročilými protokoly se verifikace stává hlavním úzkým místem projektu. Reprezentativní případová studie ukáže celý verifikační tok v prostředí Siemens Questa.

Na co se můžete těšit

- Proč se verifikace stává hlavním úzkým místem FPGA projektů
- Dopad rostoucí složitosti a více hodinových domén
- Verifikační nároky pokročilých komunikačních protokolů
- Kompletní verifikační tok na reprezentativní případové studii



Reálné výzvy napříč životním cyklem FPGA návrhu
Od RTL k bitstreamu: verifikační výzvy napříč celým
životním cyklem návrhu.

REGISTRACE

**Rezervujte si místo
na webináři**

Registrační formulář najdete na stránce akcí TechSim.
V seznamu vyberte „Od RTL k bitstreamu“. Odkaz k
připojení obdržíte e-mailem před webinářem.

techsim.cz > Konference →

Agenda a technická data

ČAS	TÉMA	PŘEDNÁŠÍ
13:00–13:10	Proč se verifikace FPGA stává zásadní vývojovou výzvou	TechSim
13:10–13:50	From RTL to Bitstream: Why Verification Is Now the Bottleneck and How to Fix It	Siemens EDA
13:50–14:00	Dotazy, diskuse s účastníky a další kroky	TechSim + Siemens

Hlavní témata

1 Rostoucí složitost

Proč komplexnější FPGA návrhy posouvají verifikaci do centra vývojového procesu.

2 Více hodinových domén

Výzvy spojené s koordinací a ověřováním návrhů s více clock domains.

3 Pokročilé protokoly

Jak moderní rozhraní a protokoly zvyšují nároky na úplnost verifikace.

4 Případová studie

Kompletní verifikační tok a reálné problémy napříč životním cyklem návrhu.

Výsledné workflow webináře

